

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tamio IKEHASHI, et al.

GAU:

SERIAL NO: 10/617,046

EXAMINER:

FILED: July 11, 2003

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| JAPAN | 2003-132091 | May 9, 2003 |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.
Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月 9日

出 願 番 号

Application Number:

特願2003-132091

[ST.10/C]:

[JP2003-132091]

出 願 人

Applicant(s):

株式会社東芝

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3049441

| | |
|----------|--|
| 【書類名】 | 特許願 |
| 【整理番号】 | 03P033 |
| 【提出日】 | 平成15年 5月 9日 |
| 【あて先】 | 特許庁長官 殿 |
| 【国際特許分類】 | H01L 27/00 |
| 【発明の名称】 | 半導体記憶装置 |
| 【請求項の数】 | 16 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| 【氏名】 | 池橋 民雄 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| 【氏名】 | 大澤 隆 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| 【氏名】 | 藤田 勝之 |
| 【特許出願人】 | |
| 【識別番号】 | 000003078 |
| 【氏名又は名称】 | 株式会社 東芝 |
| 【代理人】 | |
| 【識別番号】 | 100092820 |
| 【弁理士】 | |
| 【氏名又は名称】 | 伊丹 勝 |
| 【電話番号】 | 03-5216-2501 |
| 【手数料の表示】 | |
| 【予納台帳番号】 | 026893 |

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 絶縁層により下地基板と分離された半導体層を有する素子基板と、

前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルは電氣的にフローティング状態のボディを持つ MOS トランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、

前記メモリセルアレイの選択メモリセルのデータを読み出してデータラッチに格納し、その読み出しデータを出力回路に転送すると共に前記選択メモリセルに書き戻しを行うセンスアンプ回路と、
を有することを特徴とする半導体記憶装置。

【請求項 2】 前記センスアンプ回路による前記選択メモリセルの読み出し動作は、選択メモリセルをオンさせるゲート電圧及びドレイン電圧を印加してセル電流を検出するものであって、そのドレイン電圧は、前記メモリセルアレイのデータリフレッシュの周期に相当する時間読み出し状態を持続させてもデータが破壊しない第 1 のドレイン電圧より高く且つ、1 回の読み出し動作でデータが破壊する第 2 のドレイン電圧以下の値に設定される
ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記選択メモリセルの読み出し時のドレイン電圧は、前記選択メモリセルのデータを読み出して前記データラッチに格納するまでに要する時間が、前記選択メモリセルの読み出し状態を持続させた場合にデータが破壊されるまでの時間を越えない電圧範囲内に設定される
ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記センスアンプ回路による前記選択メモリセルの書き戻し動作の時間は、通常書き込み動作の時間より短い
ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記センスアンプ回路による前記選択メモリセルの書き戻し

動作の時間は、データリフレッシュ時の書き戻し動作の時間より短いことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記センスアンプ回路のデータラッチに読み出されたデータを前記出力回路に転送するための第 1 の転送回路と、

前記データラッチに読み出されたデータを前記メモリセルアレイの選択メモリセルに書き戻すための、前記第 1 の転送回路と同時にオンになる期間を有する第 2 の転送回路とを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 前記第 2 の転送回路は、通常書き込み動作及びデータリフレッシュ動作において前記データラッチが保持するデータを前記メモリセルアレイに転送するためにも用いられる

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記選択メモリセルへの書き戻し時に第 2 の転送回路がオンになる期間は、通常書き込み時及びデータリフレッシュ動作時にオンになる期間より短い

ことを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】 前記センスアンプ回路は、前記データラッチに読み出されたデータを、それが二値データのうち読み出し時にディスタ urb を受けるデータである場合にのみ前記選択メモリセルに書き戻すための書き戻し回路を有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】 前記書き戻し回路は、書き込みデータを前記メモリセルアレイのビット線に転送するための転送線と書き戻し用電源線の間に直列接続されて、前記データラッチの一方のデータノードによりゲートが制御される第 1 のトランジスタと、書き戻しのための制御信号によりゲートが制御される第 2 のトランジスタとを有する

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 前記センスアンプ回路は、

一方の入力端子をセルデータが転送されるセンスノード、他方の入力端子を参照電圧が与えられる参照ノードとするオペアンプと、

前記オペアンプの出力端子に接続されて読み出しデータを保持する前記データラッチと、

前記センスノードに接続された第 1 の電流源負荷と、

前記参照ノードに接続された第 2 の電流源負荷を含んで構成された、前記参照電圧を発生するための参照電圧発生回路とを有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 2】 前記参照電圧発生回路は、

第 1 及び第 2 の参照ビット線にそれぞれ接続されて異なる参照データが書かれる第 1 及び第 2 の参照セルと、

読み出し時に前記第 1 及び第 2 の参照ビット線を前記参照ノードに共通接続するための第 1 及び第 2 の転送ゲート及び、書き込み時に前記第 1 及び第 2 の参照ビット線にそれぞれ参照データ書き込み用の異なる電圧を供給するための第 3 及び第 4 の転送ゲートを有するスイッチ回路とを有し且つ、

前記第 2 の電流源負荷が前記第 1 の電流源負荷の 2 倍の電流駆動能力を持つことを特徴とする請求項 1 1 記載の半導体記憶装置。

【請求項 1 3】 前記第 1 及び第 2 の参照セルは、前記選択メモリセルの書き戻し時に同時に、参照データが書き込まれることを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 4】 前記第 3 及び第 4 の転送ゲートを介してそれぞれ前記第 1 及び第 2 の参照ビット線に接続される、前記参照データ書き込み用の異なる電圧が与えられる第 1 及び第 2 の電源線を有することを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 5】 前記第 3 及び第 4 の転送ゲートを介してそれぞれ前記第 1 及び第 2 の参照ビット線に接続される、前記第 1 及び第 2 の参照セルへの参照データ書き込みのための第 1 及び第 2 のデータ線を有することを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 6】 前記センスアンプ回路は、読み出し時、前記センスノードに接続される前記メモリセルアレイのビット線の電圧をクランプするためのクランプ回路を有し、

前記参照電圧発生回路は、前記参照ノードと前記スイッチ回路の間に、読み出し時前記参照ノードに接続される前記第 1 及び第 2 の参照ビット線の電圧をクランプするダミークランプ回路を有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、SOI 基板に形成された 1 トランジスタ／1 セル構造のメモリセルを持つ半導体記憶装置に関する。

【0002】

【従来の技術】

最近、従来の DRAM 代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリが提案されている（非特許文献 1 参照）。メモリセルは、SOI 基板に形成されたフローティングのボディ（チャネルボディ）を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第 1 データ状態（例えば、データ“1”）、ボディから過剰の多数キャリアが放出された状態を第 2 データ状態（例えば、データ“0”）として、二値記憶を行う。

【0003】

以下、このようなメモリセルを“FBC（Floating Body Cell）”といい、FBC を用いた半導体メモリを“FBC メモリ”という。FBC メモリは、通常の DRAM のようにキャパシタを用いないから、メモリセルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

【0004】

FBC メモリのデータ“1”の書き込みには、メモリセルのドレイン近傍でのインパクトイオン化を利用する。即ち、メモリセルに大きなチャネル電流が流れるバイアス条件を与えて、インパクトイオン化により発生する多数キャリアをボディに蓄積する。データ“0”書き込みは、ドレインとボディの間の PN 接合を順バイアス状態として、ボディの多数キャリアをドレイン側に放出させることに

より行われる。

【0005】

ボディのキャリア蓄積状態の相違は、トランジスタのしきい値の相違として現れる。従ってある読み出し電圧をゲートに与えて、セル電流の有無又は大小を検出することにより、データ“0”，“1”をセンスすることができる。ボディの過剰の多数キャリアは、長時間放置すると、ソース、ドレインとの間のPN接合を介して抜ける。従って、DRAMと同様に一定周期でリフレッシュ動作を行うことが必要である。

【0006】

FBCメモリの特性改善のために、メモリセルの主ゲートとは別に、ボディに容量結合する補助ゲートを設けることも提案されている（特許文献1及び特許文献2参照）。

【0007】

【非特許文献1】

T.Ohsawa et al., "Memory Design Using One-Transistor Gain Cell on SOI", ISSCC Digest of Technical Papers, pp152-153, 2002

【0008】

【特許文献1】

特開2002-246571号公報

【特許文献2】

特開2003-31693号公報

【0009】

【発明が解決しようとする課題】

FBCメモリは、従来のDRAM代替を目的としているため、従来のDRAMと同等かそれ以上の高速性能が要求される。しかし、FBCメモリのデータ読み出し時のビット線レベルは、インパクトイオン化を抑えるためには低くしなければならず、大きなセル電流を流すこと、従って高いセンス感度を得ることが容易ではない。大きなセル電流を流すことができなければ、メモリセルのドレインに接続されるビット線の充放電に時間がかかり、高速読み出しができなくなる。

【0010】

この発明は、SOI基板に形成された1トランジスタ/1セル構造のメモリセルを持つ、高速読み出しが可能な半導体記憶装置を提供することを目的としている。

【0011】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、絶縁層により下地基板と分離された半導体層を有する素子基板と、前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルは電氣的にフローティング状態のボディを持つMOSトランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、前記メモリセルアレイの選択メモリセルのデータを読み出してデータラッチに格納し、その読み出しデータを出力回路に転送すると共に前記選択メモリセルに書き戻しを行うセンスアンプ回路と、を有することを特徴とする。

【0012】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

最初に、この発明の実施の形態によるFBCメモリのメモリセルアレイの構成を説明する。図7はメモリセルアレイの平面図であり、図8、図9及び図10はそれぞれ、図7のI-I'、II-II'及びIII-III'断面図を示している。

【0013】

P型シリコン基板10の表面にN⁺型層11が形成され、その表面はシリコン酸化膜等の絶縁層12で覆われている。この絶縁層12上に、これにより基板10とは分離された活性層となるP型シリコン層13が形成されている。この様なSOI基板のシリコン層13に、ゲート電極15と、N型ソース、ドレイン拡散層16a、16bとが形成されて、フローティングのボディを持つNチャネルMOSトランジスタからなるメモリセルMCが構成される。

【0014】

シリコン層13は、後に形成されるビット線(BL)19と同様に、複数本の

ストライプ状にパターニングされ、その周囲は層間絶縁膜 1 4 で埋められる。この様なストライプパターンの各シリコン層 1 3 に、複数のメモリセルが隣接するもの同士でソース、ドレイン拡散層 1 6 a, 1 6 b を共有するように配列される。ゲート電極 1 5 は、ビット線 (B L) 1 9 と交差する方向に並ぶ複数のメモリセル MC にまたがって連続するパターンとして形成されて、ワード線 W L となる。メモリセルのソース拡散層 1 6 a は、ワード線と並行するソース線 (S L) 2 1 に共通接続される。セルアレイ上は層間絶縁膜 1 7 で覆われ、この上にビット線 1 9 が配設される。ビット線 1 9 は、コンタクトプラグ 1 8 を介して各メモリセル MC のドレイン拡散層 1 6 b に接続される。

【 0 0 1 5 】

絶縁膜 1 2, 1 4 には、各ビット線 1 9 間のスペースに位置するように、多結晶シリコンのピラー 2 0 が埋め込まれている。ピラー 2 0 は、絶縁膜 1 2 を貫通して、下端が N^+ 型シリコン層 1 1 にコンタクトし、上端部は絶縁膜 1 4 内に位置して、各メモリセル MC のボディ下端部に容量結合する。このピラー 2 0 は、メモリセルのボディの電位を制御する補助ゲートの働きをする。例えば、シリコン層 1 1 を介してピラー 2 0 に負電圧を与えることにより、メモリセル MC のボディのホール蓄積状態 (データ “1” 状態) を長時間維持することが可能になる。

【 0 0 1 6 】

この様にして、図 7 に示すようにメモリセル MC がマトリクス配列されたメモリセルアレイが得られる。メモリセル MC は一つのトランジスタにより構成されるから、単位セル面積は図 7 に破線で示したように小さい。従って、高密度集積化が可能である。

【 0 0 1 7 】

次に F B C メモリの動作原理を、図 1 2 ~ 図 1 5 を参照して説明する。ソース線 S L は、常時接地電位 G N D である。データ “1” 書き込みには、選択ワード線と選択ビット線に、これにより選択されるメモリセルが 5 極管領域 (電流飽和領域) で動作する電圧を与える。例えば図 1 2 に示すように、選択ワード線 W L に 1. 5 V、選択ビット線 B L に 1. 5 V を与える。これにより選択メモリセル

は5極管領域で動作し、チャネル電流が流れると同時に、ドレイン近傍でインパクトイオン化が生じる。インパクトイオン化の結果生成される多数キャリアであるホールは、ボディの下方に移動し、蓄積される。このボディの過剰ホール蓄積状態が、データ“1”である。

【0018】

データ“0”書き込みには、メモリセルのドレインとボディ間のPN接合の順バイアス電流を利用する。例えば図13に示すように、選択ワード線WLに1.5Vを与えた状態で、選択ビット線BLに-1Vを与える。これにより選択メモリセルのボディのホールは、順バイアスされたPN接合を介してビット線BLに抜ける。こうして得られる、ボディに過剰ホールがない状態がデータ“0”である。

【0019】

データ書き込み後、ワード線WLに負の保持電圧（例えば-1.5V）を与え、ビット線を0Vとすることにより、データは保持される。データ読み出しは、メモリセルをインパクトイオン化が生じない程度のオン状態にバイアスして、セル電流を検出することにより、行われる。例えば図14に示すように、選択ワード線WLに1.5Vを与え、選択ビット線BLに0.2Vを与える。これにより、メモリセルは3極管動作領域（線形領域）のオン状態になる。データ“0”，“1”に応じて異なるボディのホール蓄積状態は、バックバイアスの相違、従ってメモリセルのしきい値の相違となる。従ってメモリセルの電流特性は、図15に示すようにデータ“0”，“1”で異なり、両者のセル電流の差 ΔI_{ds} を検出することで、データ“0”，“1”が判別できる。

【0020】

データ読み出し時は、インパクトイオン化が起こらない線形領域を利用することで、選択メモリセルでのデータ破壊が防止される。非選択メモリセルは、ワード線WLを-1.5V，ビット線BLを0Vに保持することで、データ破壊が生じない。

【0021】

以上の動作説明は、FBCメモリの基本的な書き込み及び読み出し動作である

が、この実施の形態は、高速読み出しを目的としている。そのため実際のデータ読み出しには、(i) 上述の基本読み出し動作条件に比べて、よりインパクトイオン化が生じやすいバイアス条件を適用し、かつ(ii) 読み出したデータを直ちに書き戻す、という読み出しスキームを用いる。この読み出し動作の詳細は、後に説明する。

【 0 0 2 2 】

図 1 6 は、この実施の形態による F B C メモリのチップ 1 0 0 の構成を示す。メモリセルアレイ 1 0 1 は好ましくは、複数のビット線の範囲毎にセルユニットを構成する。各セルユニットのビット線 B L は、ビット線セクタ 1 0 2 により選択される。F B C メモリは、D R A M 代替を目的としているので、D R A M と同様に、カラムアドレスストロブ／C A S、ロウアドレスストロブ／R A S により制御されるアドレス多重化を利用する。ロウアドレス信号は、ロウアドレスバッファ 1 0 6 により取り出されて、プリデコーダ 1 0 7 を介してロウデコーダ 1 0 5 に供給される。ロウデコーダ 1 0 5 は、ロウアドレス信号に応じてメモリセルアレイ 1 0 1 のワード線 W L 選択を行う。カラムアドレス信号は、カラムアドレスバッファ 1 0 8 により取り出されて、ビット線セクタ 1 0 2 に供給され、ビット線選択を行う。

【 0 0 2 3 】

ビット線セクタ 1 0 2 により選択されたビット線 B L は、センスアンプ回路 1 0 3 に接続されている。センスアンプ回路 1 0 3 は転送回路 1 0 4 を介して、読み出しデータ線 Q、／Q、書き込みデータ線 D と選択的に接続される。書き込みデータは、データ入力パッド D i n から、入力バッファ 1 0 9 を介して書き込みデータ線 D に供給される。データ線 D の書き込みデータは、センスアンプ回路 1 0 3 を介し、ビット線セクタ 1 0 2 により選択されたビット線 B L に与えられる。読み出しデータは、読み出しデータ線 Q、／Q を介し、出力回路を介してデータ出力パッド D o u t に出力される。出力回路は、出力バッファ 1 1 0 と、オフチップドライバ 1 1 1 から構成される。

メモリチップ 1 0 0 にはこのほか、種々の制御信号を発生するコントローラ 1 1 2、種々の内部電圧を発生する電圧発生回路 1 1 3 が設けられる。

【0024】

次にこの実施の形態のFBCメモリにおけるセンス回路系の具体的な構成を、図1を参照して説明する。センスアンプ回路103は、セルアレイ101のビット線から読み出しデータが転送されるセンスノードN1と、参照電圧VSARが与えられる参照ノードN2の間の差電圧を増幅するオペアンプ41を有する。センスノードN1は、クランプ回路44を介し、更にビット線セクタ102を介してセルアレイ101のビット線BLに接続される。センスノードN1は、ダイオード接続された負荷PMOSトランジスタMP1を介し、センスアンプ活性化用PMOSトランジスタMP3を介して電源端子Vccに接続される。負荷PMOSトランジスタMP1に代わって抵抗素子を用いることもできる。参照ノードN2に与える参照電圧VSARは、センスノードN1に得られるデータ“1”，“0”の読み出し電圧の中間電圧値であり、参照電圧発生回路120により発生される。

【0025】

クランプ回路44は、読み出し時に選択メモリセルのドレインに与えられる電圧値を設定するために、ビット線BLの電圧をクランプするためのもので、センスノードN1とビット線セクタ102のノードN0と間に挿入されたクランプ用NMOSトランジスタMN1と、ビット線電圧を帰還してトランジスタMN1のゲートを制御するオペアンプ42により構成される。オペアンプ42の参照入力端子には、参照電圧VBLRが与えられ、これにより読み出し時のビット線BLの電圧は、VBLRに設定される。

【0026】

オペアンプ41の出力ノードN11には、読み出しデータ及び書き込みデータを保持するためのデータラッチ43が接続されている。データラッチ43の二つのノードN11，N12によりゲートが制御されるNMOSトランジスタMN3，MN4と、それらのドレインとデータ線Q， \bar{Q} の間に挿入されたNMOSトランジスタMN5，MN6は、読み出しデータを出力するための転送回路104aを構成している。NMOSトランジスタMN5，MN6は、読み出しデータを出力するときに制御信号RCSによりゲートが駆動されてオンになる。

【 0 0 2 7 】

書き込み用データ線Dとビット線セクタ102のノードN0の間に挿入されたNMOSトランジスタMN7は、書き込みデータをセルアレイに転送するための転送回路104bを構成している。書き込みデータはこのNMOSトランジスタMN7を介し、クランプ回路44をバイパスする書き込みデータ転送線46を介して、直接ビット線セクタ102のノードN0に転送することも可能である。しかしこの実施の形態では、書き込みデータは一旦、NMOSトランジスタMN2を介してデータラッチ43に格納される。

【 0 0 2 8 】

従って、データラッチ43のノードN11と書き込みデータ転送線46の間に接続されたNMOSトランジスタMN2は、書き込みデータをセルアレイ101に転送するための書き込みデータ転送用の転送回路104cを構成する。この転送回路104cは、この実施の形態においては、データラッチ43に読み出されたデータをセルアレイ101の選択セルに書き戻すためにも用いられる。

【 0 0 2 9 】

センスアンプ回路103の参照電圧VSARは、読み出しデータ“1”，“0”のときにセンスノードN1に得られる電圧の中間値であることが必要である。そのためにこの実施の形態では、参照電圧発生回路120に、データ“1”を書き込む参照セルRMC1とデータ“0”を書き込む参照セルRMC0の二つが用いられる。参照電圧発生回路120は、この二つの参照セルRMC1，RMC0のセル電流I1，I0を合成することにより参照電圧VSARを生成するように構成されている。

【 0 0 3 0 】

参照セルRMC1，RMC0は、メモリセルMCと同じ構造を有し、同じワード線WLにより同時に駆動される。参照セルRMC1，RMC0がそれぞれ接続される参照ビット線RBL1，RBL0は、スイッチ回路102aを介し、ダミークランプ回路44aを介して、参照ノードN2に接続される。スイッチ回路102aは、データ読み出し時同時にオン駆動されて二つの参照ビット線RBL1，RBL0を参照ノードN2に共通接続するための、ダミーセレクトゲートとし

ての転送ゲートSW1 a, SW0 aを有する。

【0031】

スイッチ回路は102 aはまた、参照セルRMC1, RMC0に“1”, “0”の参照データを書き込むため転送ゲートSW1 b, SW0 bを有する。即ちこれらの転送ゲートSW1 b, SW0 bは、それぞれ参照データ書き込みに必要なビット線電圧1.5V, -1Vを出力する電源線Vd1, Vd0に接続されている。

【0032】

ダミークランプ回路44 aは、読み出し時に参照ビット線RBL1, RBL0の電圧をクランプするためのもので、クランプ回路44と同様に構成される。参照ノードN2には二つのダイオード接続された負荷PMOSトランジスタMP2 a, MP2 bが接続される。これらの負荷PMOSトランジスタMP2 a, MP2 bは、負荷PMOSトランジスタMP1と同じサイズで、同じ電流駆動能力をもつ。二つの負荷PMOSトランジスタMP2 a, MP2 bに代わって、センスノードN1側の負荷PMOSトランジスタMP1の2倍の電流駆動能力を持つひとつの負荷PMOSトランジスタを用いてもよい。

【0033】

この様な参照電圧発生回路120を用いることにより、負荷PMOSトランジスタMP2 a, MP2 bには、二つの参照セルRMC1, RMC0のセル電流を加算して1/2した電流が流れる。即ちセルアレイ101のあるメモリセルが選択されたとき、データ“1”, “0”に応じてセル電流Icell1, Icell2が流れるものとする。参照電圧発生回路120ではこのとき、参照セルRMC1, RMC0が同時に選択され、これらにそれぞれセル電流I1, I0が流れる。これらのセル電流I1, I0により、参照ノードN2に接続された負荷PMOSトランジスタMP2 a, MP2 bにはそれぞれ、 $(I0 + I1) / 2$ なる電流が流れる。これにより、参照ノードN2には、データ“1”, “0”の読み出し電圧の中間値の参照電圧VSARが得られる。

【0034】

次に、この実施の形態によるFBCメモリのデータ読み出し動作を説明する。

まずその概要を説明すると、この実施の形態では、第1に、読み出し時のビット線電圧（即ちドレイン電圧）を従来よりも高くする。ビット線電圧を高くすれば、セル電流が増加するため、ビット線の充放電が高速に行われる。また、センスノードの電圧振幅が増大するため、センス感度が高くなる。一方、読み出し時のビット線電圧を高くすると、インパクトイオン化が起こり、“0”データが破壊される可能性が出る。しかし、ビット線電圧を“1”データを書くときのそれ（約1.5V）よりも低くすれば、インパクトイオン化によるホール生成量を抑えることができ、1回の読み出しではデータ破壊が生じないようにすることができる。

【0035】

1回の読み出しではデータが破壊されなくても、読み出し動作を何回も繰り返すと、データ破壊が生じる。そこでこの実施の形態では、第2に、データを読み出す毎に、書き戻しを行う。即ち図17に示すように、従来の読み出し動作でのビット線電圧 V_a より高いビット線電圧 V_b で読み出しを行い（STEP1）、次いでその読み出しデータを書き戻す（STEP2）、という読み出しシーケンスを用いる。

【0036】

但し、読み出し動作でディスターブを受けるのは、“0”データのセルのみであるから、データ書き戻しは、“0”データの場合のみ必要である。“0”データ書き込みは、セルのドレイン側PN接合を順バイアスして、ボディのホールを抜く。従ってインパクトイオン化によりホールを徐々にボディに蓄積する“1”書き込みに比べて、書き込み時間が短くて済む。しかもこの実施の形態では、読み出し時のドレイン電圧が従来より高いとはいえ、“1”書き込み時のそれより低い値に抑えることで、読み出し期間中に生成されるホールの量は少なく、“0”データからのしきい値のずれもわずかに抑えることができる。従って、書き戻しに要する時間は、通常書き込み時間に比べて短くて済む。以上によりこの実施の形態による読み出しシーケンスによると、図18に示したように、読み出し時間と書き戻し時間を加えた読み出しサイクル時間は、従来の読み出し時間より短くすることができる。

【0037】

次のこの実施の形態での読み出し時のビット線電圧 V_b の設定法を具体的に説明する。

図19は、データ“1”，“0”の読み出し時のセル電流 I_{cell} とビット線電圧（ドレイン電圧） V_{BL} の関係を示している。図19に示すように、セル電流特性は、ビット線電圧 V_{BL} に応じて、3つの領域A，B，Cに分けることができる。領域Aは、ビット線電圧 V_{BL} が、インパクトイオン化が殆ど起こらない程度に低い。この範囲のビット線電圧を用いれば、セルデータをリフレッシュするまでに読み出し動作を繰り返しても、データが破壊されることはない。従来はこの様なビット線電圧を用いることが考えられていた。

【0038】

領域Bは、領域Aよりビット線電圧が高い。この領域Bは、インパクトイオン化がある程度起こるが、領域Aに比べてセル電流が大きい。またデータ“1”，“0”のセル電流差 ΔI_b は、領域Aのそれ ΔI_a よりも大きい。しかし、インパクトイオン化によるホール生成量は、データ“1”書き込み時のそれと比べて少ない。このため、1回の読み出し動作では“0”データの破壊は生じないが、リフレッシュサイクル内に複数回の読み出しを繰り返すと、“0”データ破壊が生じる。

【0039】

領域Cは、ビット線電圧が領域Bより更に高い範囲であり、領域Bよりもインパクトイオン化によるホール生成量が多い。従って、1回の読み出し動作で“0”データ破壊が生じる。セル電流及びデータ“1”，“0”のセル電流差は、領域Bと大差ない。

【0040】

この実施の形態においては、領域Bのビット線電圧 V_{BL} を用いる。この様なビット線電圧を用いることによって、データ“1”，“0”のセル電流差が大きくなり、従ってセンス感度が高くなることは、次のように説明される。

読み出し時のワード線電圧を V_{WL} とすると、セルのしきい値が V_{th} のときのセル電流 I_{cell} は、次の式で表される。

【 0 0 4 1 】

【数 1】

$$I_{cell} = \beta (V_{WL} - V_{th} - V_{BL} / 2) V_{BL}$$

【 0 0 4 2 】

β は定数である。セルデータが “1” , “0” の場合のセルしきい値をそれぞれ、 V_{th1} , V_{th0} とすると、両ケースのセル電流差 ΔI_{cell} は、次のようになる。

【 0 0 4 3 】

【数 2】

$$\Delta I_{cell} = \beta (V_{th0} - V_{th1}) V_{BL}$$

【 0 0 4 4 】

数 2 から、読み出し時のビット線電圧 V_{BL} を高くすれば、それだけセル電流差 ΔI_{cell} が大きくなり、センス感度が高くなることが分かる。

【 0 0 4 5 】

次に、図 1 9 に示すように、領域 A , B , C の境界のビット線電圧を V_a , V_b として、この実施の形態ではビット線電圧として、 V_b 或いはそれ以下の値を用いる。このビット線電圧 V_b は、次のように決定される。

図 2 0 は、読み出し時にセルデータをデータラッチに格納するまでに要する時間 t_R と、読み出し状態を持続させたときにデータ破壊により読み出しができなくなるまでの時間 t_D を、ビット線電圧 V_{BL} の関数として示したものである。 t_R は、次のように表される。

【 0 0 4 6 】

【数 3】

$$t_R = C_{BL} \Delta V_{BL} / I_{cell} + t_{offset}$$

【 0 0 4 7 】

C_{BL} は、ビット線容量、 ΔV_{BL} は、データセンスに必要なビット線電圧振幅であり、 t_{offset} は、読み出し時間に占めるセンス時間以外の寄与分（ワード線電圧遷移やデータ出力等）である。 t_R は、セル電流が大きい程短くなる。セル電流は、線形領域（3 極管領域）ではビット線電圧が高い程大きくなるが、飽和領

域（5極管領域）になると、ビット線電圧依存性がなくなる。このため t_R は、ビット線電圧を高くしても、ある値以下には下らない。

【0048】

一方、 t_D は、読み出し状態を持続させた場合に、“0”データのしきい値が変化して、“1”データとの判別ができなくなるまでの時間である。しきい値がどの程度シフトしたら、データ判別不能になるかは、センスアンプ回路により決まる。そのしきい値のシフト量を、 ΔV_{th0} と記す。“0”データのしきい値電圧が ΔV_{th0} だけずれるのに要する時間 t_D は、インパクトイオン化によるホールの生成量によって決まる。インパクトイオン化は、セルトランジスタが飽和領域に入ることによって顕著になる。飽和領域に入ってから、ビット線電圧を高くすれば更にホールの生成量は多くなる。

【0049】

以上から、図20に示すように、 t_R と t_D の曲線はある点で交差する。この実施の形態において、1回の読み出しでデータ破壊が生じないようにするためには、 t_R が t_D を越えないようなビット線電圧の範囲を用いることが必要である。即ち、 t_R と t_D の曲線の交差点のビット線電圧 V_{BL} が、この実施の形態で用いられる読み出しビット線電圧の上限値 V_b となる。 t_D がリフレッシュサイクル時間 t_{RF} となるときのビット線電圧 V_a が、従来の読み出しビット線電圧ということになる。

【0050】

次に、図1に示すセンスアンプ回路に即して、読み出し動作を説明する。図4は、読み出し時の主要信号の動作波形を示している。読み出し動作は前述のように、2ステップSTEP1，STEP2で行われる。第1ステップSTEP1では、センスアンプ活性化信号SAEN，SAEN_nをそれぞれ、“H”，“L”、ラッチ信号LTCを“H”として、センスアンプ回路103が活性化される。ワード線WLとビット線BLにより選択されたセルのデータは、ビット線セレクタ102を介し、クランプ回路44を介してセンスノードN1に転送される。

【0051】

参照電圧発生回路120ではこのとき、スイッチ回路102a内の転送ゲート

SW0a, SW1aがオン、SW0b, SW1bがオフとされる。これにより、参照セルRMC1, RMC0のデータが同時に読み出されて、センスアンプ回路103の参照ノードN2に、参照電圧VSARが与えられる。センスノードN1に得られる読み出し電圧と、参照ノードN2の参照電圧VSARとの比較によって、オペアンプ41の出力の“H”, “L”が決まる。読み出しデータは、データラッチ43に格納される。

【0052】

この読み出し期間中、クランプ回路44に与えられる参照電圧VBLRは、 $VBLR = Vb$ に設定される。即ち、選択セルのビット線電圧は、 Vb に制御される。参照電圧発生回路120側も同様に、ダミークランプ回路44aには参照電圧 $VBLR = Vb$ が与えられ、参照セルRMC1, RMC0が接続された参照ビット線電圧は、 Vb に制御される。

【0053】

第2ステップSTEP2では、読み出しデータの出力動作と同時に、書き戻しが行われる。即ち、読み出し転送回路104aの制御信号RCSが“H”となり、データラッチ43に読み出されたデータは、データ線Q, /Qに転送され、出力バッファを介してチップ外部に出力される。制御信号RCSと同時に、書き込み転送回路104cの制御信号SAONが“H”となり、データラッチ43のデータが転送回路104cを介してセルアレイに転送されて、書き戻しが行われる。具体的に、読み出しデータが“1”, “0”のとき、データラッチ43のノードN11はそれぞれ、“L”（例えば、 $-1V$ ）, “H”（例えば、 $1.5V$ ）である。このノードN11の電圧が選択ビット線に転送されて、データ“1”, “0”の書き込み動作が行われる（図12及び図13参照）。

【0054】

データ書き戻しの時間（即ちSAON = “H”の時間） τ_1 は、読み出しデータ出力の時間（即ち、RCS = “H”の時間）より短くてよく、また図5に示した通常のデータリフレッシュ動作における書き戻しの時間 τ_2 より短くてよい。その理由は、次の通りである。データリフレッシュは、特に“1”データセルのホール蓄積量の減衰によるデータ消失を防止するために必要である。そのために

、一定周期毎に十分な書き戻しを行う必要がある。これに対し、この実施の形態での書き戻しは、読み出し条件を加速した結果の“0”データのしきい値シフトを戻すことができれば、十分だからである。なおこの実施の形態では、読み出しデータが“1”の場合にも、第2ステップSTEP2において書き戻しが行われる。しかし、“1”データは読み出しによるディスタークを受けないので、リフレッシュ時のような長い書き戻し時間を必要としない。

【0055】

第2ステップSTEP2では、参照セルRMC1，RMC0の書き戻しも同時に行われる。このとき、スイッチ回路102aでは、制御信号SAONと同期して、転送ゲートSW0b，SW1bがオン、転送ゲートSW0a，SW1aがオフとなり、参照セルRMC1，RMC0にそれぞれ、“1”，“0”の書き戻しが行われる。この書き戻し時参照ビット線RBLに与えられる電圧1.5V，-1Vは、専用の電源線Vd1，Vd0から供給される。

【0056】

以上のように、“1”，“0”データを参照セルRMC1，RMC0に同時に書き込みできる機能があると、参照セルRMC1，RMC0の同時リフレッシュも可能になる。また、参照セルRMC1，RMC0のリフレッシュ動作をノーマルセルMCのリフレッシュと同時に実行することができる。従って、リフレッシュ動作に要する時間を短縮することが可能である。即ち、図1に示したスイッチ回路102aを用いたリフレッシュ時間の短縮の方式は、上述した2ステップの読み出しによる読み出し時間の短縮の方式を採用しない場合にも、意味がある。

【0057】

次にデータ書き込み動作を説明する。チップ外部から供給される書き込みデータは、書き込み用データ線Dから転送回路104b，104cを介してセンスアンプ回路103のラッチ回路43に一旦ロードされる。この書き込みデータは、転送回路104c、転送線46を介し、更にビット線セクタ102を介してビット線BLに与えられる。ビット線BLに転送される電圧は、データ“1”，“0”に応じてそれぞれ、1.5V，-1Vである（図12及び図13参照）。但し、書き込みデータをラッチ回路43にロードすることなく、データ線Dから直

接セルアレイに転送して書き込みを行うこともできる。

参照セル RMC 1, RMC 0 へのデータ書き込みは、1.5 V, -1 V の電源線 Vd 1, Vd 0 の電圧をスイッチ回路 102 a を介して参照ビット線 RBL 1, RBL 0 に同時に転送して行われる。

【0058】

以上説明したようにこの実施の形態では、読み出し時のビット線電圧を従来より高く設定した読み出したステップ STEP 1 と、読み出し直後のデータの書き戻しステップ STEP 2 とを含む読み出しシーケンスを用いる。これにより、FBC メモリの読み出し時間の短縮が図られる。また、高いビット線電圧を用いることで、センス感度が向上する。

【0059】

センスアンプ回路系の他の構成例をいくつか説明する。図 1 では、参照セル MC 1, MC 0 に “1”, “0” データを書き込むために、固有の内部電源電圧が与えられる電源線 Vd 1, Vd 0 を用意している。これに対して図 2 は、参照セル RMC 1, RMC 0 にそれぞれ書き込みを行うための、外部端子につながる書き込み用データ線 DR 1, DR 0 を配置した例である。それ以外は、図 1 と変わらない。

【0060】

この様なデータ線 DR 1, DR 0 を用意すれば、チップ外部からデータ線 DR 1, DR 0 に供給するデータを選択することによって、参照セル RMC 1, RMC 0 のデータを変更することができる。例えば、参照セル RMC 1, RMC 0 の “1”, “0” データを固定ではなく、リフレッシュサイクル毎に逆データとすることができる。これは、“1” データを書き続けることによるセルトランジスタの劣化が抑制されるため、有用となる。更にテスト工程でも、参照セル RMC 1, RMC 0 の書き込みデータを任意に選択できるため、テスト工程の柔軟性が増す。

【0061】

図 3 は、更に他のセンスアンプ回路 103 の構成例である。図 1 及び図 2 のセンスアンプ回路では、制御信号 SAON で制御される転送回路 104 c が通常の

データ書き込みにも読み出し時の書き戻しにも用いられる。従って、“1”データが読み出された場合にも、書き戻しが行われる。前述したように、“1”データの書き戻しは、必要がないというより、無駄なビット線の充放電動作を行うために、低消費電力化のためには好ましくない。

【 0 0 6 2 】

図3のセンスアンプ回路103はこの点を改善したもので、書き込みデータ転送回路104cとは別に、“0”データが読み出された場合のみ書き戻しを行うための書き戻し回路45を備えている。書き戻し回路45は、書き込みデータ転送線46に接続されたNMOSトランジスタMN8、MN9の直列回路により構成される。NMOSトランジスタMN9のソースは、“0”書き込み用のビット線電圧となる -1V の電源線Vdに接続され、ゲートは、書き戻し用の制御信号WBにより駆動される。NMOSトランジスタMN8のゲートは、データラッチ43のノードN12により駆動される。

【 0 0 6 3 】

図3のセンスアンプ回路103を用いたときのデータ読み出し動作波形を図6に示す。第1ステップSTEP1は、図4と同じである。第2ステップSTEP2のデータ書き戻しでは、制御信号SAONを“H”にせず、書き戻し制御信号WBを“H”にする。ステップSTEP1で読み出したデータが“0”の場合、データラッチ43のノードN12は、“H”である。従ってこのとき、書き戻し回路45のNMOSトランジスタMN8、MN9が共にオンとなり、 -1V がビット線に転送される。これにより、“0”データの書き戻しが行われる。ステップSTEP1での読み出しデータが“1”の場合、NMOSトランジスタMN8はオフを保ち、書き戻しは行われない。このときビット線電圧は、 $0 \leq V_{BL} \leq V_b$ の範囲に止まり、セルデータは保持される。

【 0 0 6 4 】

制御信号WBを“H”にする書き戻しの時間 τ_1 は、読み出しデータ出力のための制御信号RCS＝“H”の時間より短くてよく、図5に示したリフレッシュ時の書き戻し時間 τ_2 より短くてよく、図1及び図2のセンスアンプ回路を用いた場合と同じである。

【 0 0 6 5 】

この発明は、上記実施の形態に限られるものではない。例えば実施の形態では、メモリセルがNMOSトランジスタ構造の例を説明したが、PMOSトランジスタ構造を用いることもできる。PMOSトランジスタ構造のメモリセルの場合には、各回路要素のPMOSトランジスタ、NMOSトランジスタを逆にすると同時に、電圧関係を実施の形態とは逆にすればよい。

その他この発明は、その趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【 0 0 6 6 】

【発明の効果】

この発明によれば、SOI基板に形成された1トランジスタ／1セル構造のメモリセルを持つ、高速読み出し可能な半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態によるFBCメモリのセンスアンプ回路の構成を示す図である。

【図2】

センスアンプ回路の他の構成例を示す図である。

【図3】

センスアンプ回路の他の構成例を示す図である。

【図4】

図1のセンスアンプ回路による読み出し動作を説明するための波形図である。

【図5】

リフレッシュ動作を説明するための波形図である。

【図6】

図3のセンスアンプ回路による読み出し動作を説明するための波形図である。

【図7】

メモリセルアレイのレイアウトを示す図である。

【図8】

図 7 の I - I' 断面図である。

【図 9】

図 7 の II - II' 断面図である。

【図 1 0】

図 7 の III - III' 断面図である。

【図 1 1】

メモリセルアレイの等価回路である。

【図 1 2】

メモリセルのデータ “ 1 ” 書き込みの原理を示す図である。

【図 1 3】

メモリセルのデータ “ 0 ” 書き込みの原理を示す図である。

【図 1 4】

メモリセルの読み出し原理を示す図である。

【図 1 5】

メモリセルの電流特性を示す図である。

【図 1 6】

メモリチップの構成を示す図である。

【図 1 7】

実施の形態の読み出し動作シーケンスを示す図である。

【図 1 8】

実施の形態による読み出しサイクル時間を従来例と比較して示す図である。

【図 1 9】

セル電流のビット線依存性を示す図である。

【図 2 0】

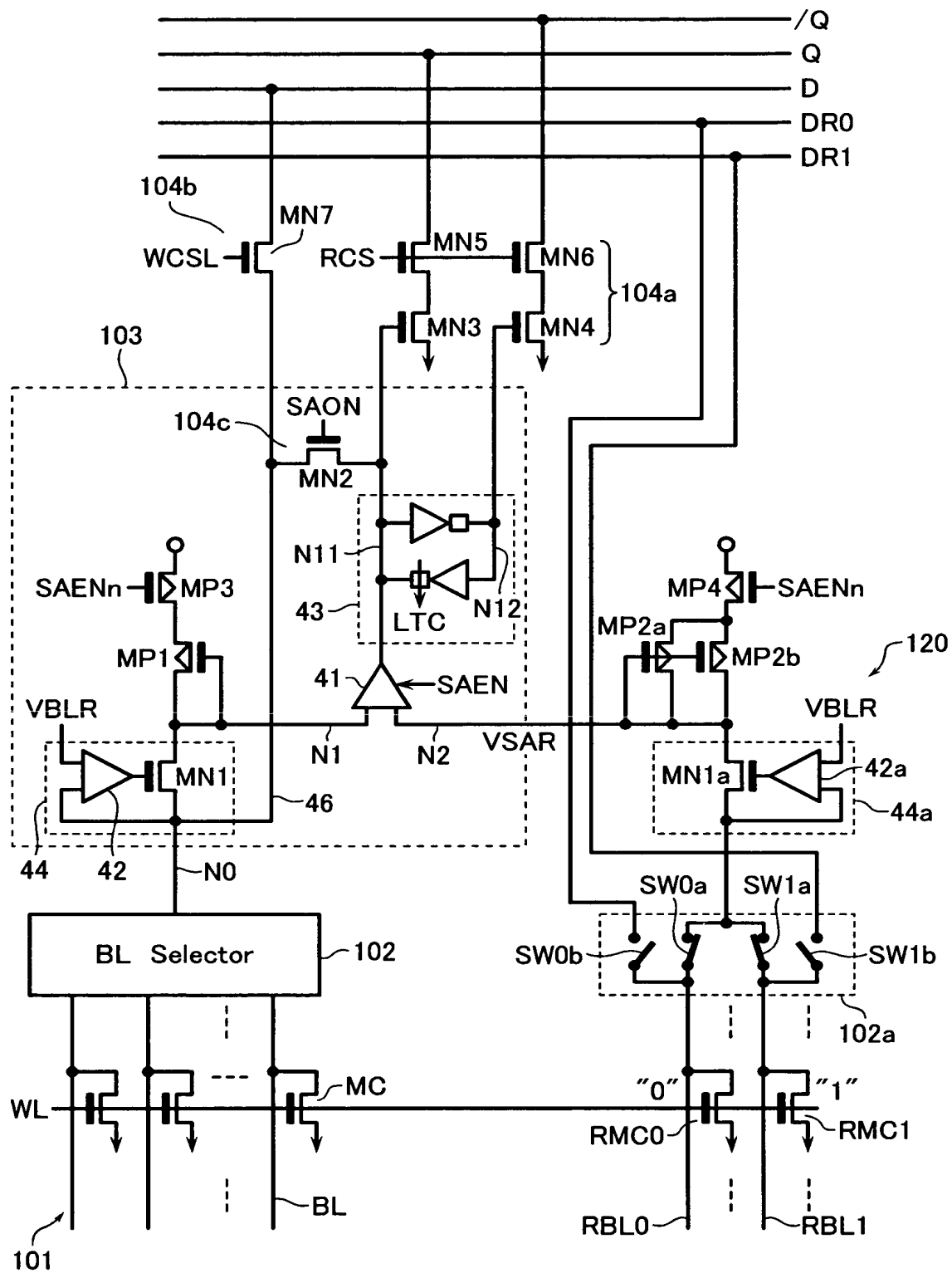
セルの読み出しに要する時間及びデータ破壊に至る時間のビット線電圧依存性を示す図である。

【符号の説明】

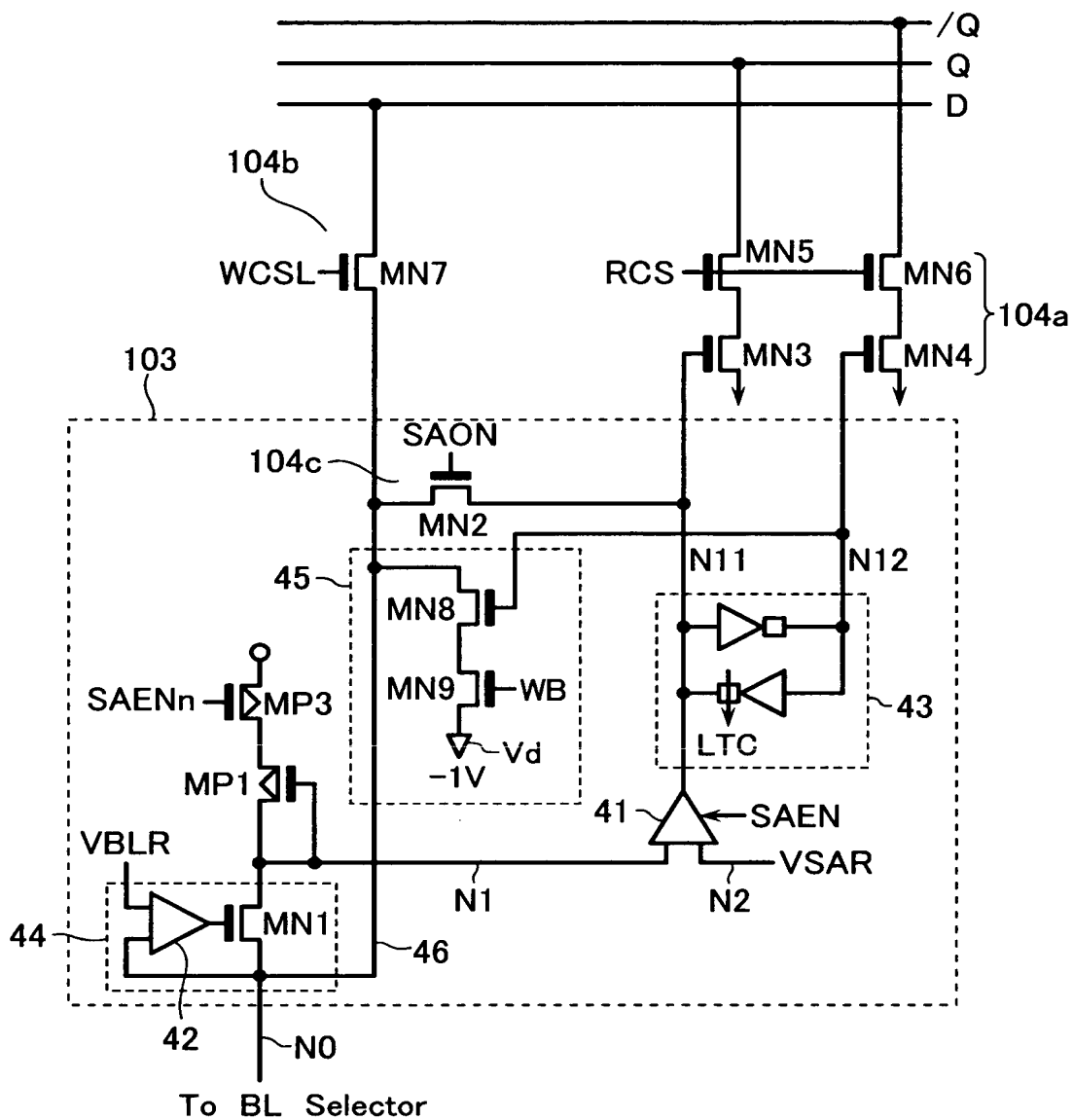
1 0 …シリコン基板、 1 1 …N⁺型層、 1 2 …絶縁層、 1 3 …P型シリコン層、
1 4 …層間絶縁膜、 1 5 …ゲート電極（ワード線）、 1 6 a, 1 6 b …ソース

、ドレイン、17…層間絶縁膜、18…コンタクト、19…ビット線、20…N⁺ポリシリコン・ピラー、21…ソース線、100…メモリチップ、101…メモリセルアレイ、102…ビット線セレクタ、103…センスアンプ回路、104（104a～104c）…転送回路、105…ロウデコーダ、106…ロウアドレスバッファ、107…プリデコーダ、108…カラムアドレスバッファ、109…データ入力バッファ、110…データ出力バッファ、111…オフチップドライバ、112…コントローラ、113…電圧発生回路、MC…メモリセル、41、42…オペアンプ、43…データラッチ、44…クランプ回路、45…書き戻し回路、MP1、MP2a、MP2b…負荷PMOSトランジスタ、N1…センスノード、N2…参照ノード、120…参照電圧発生回路、44a…ダミークランプ回路、102a…スイッチ回路。

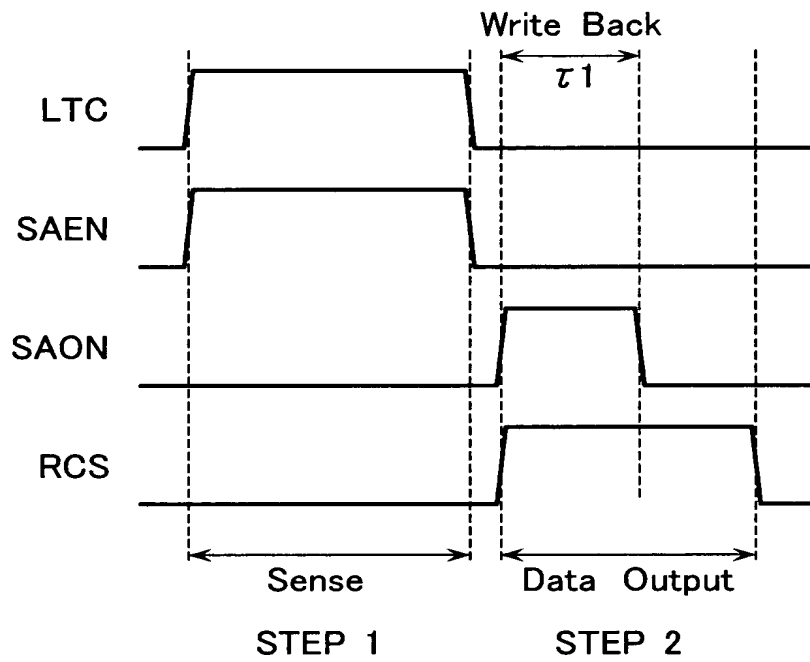
【図 2】



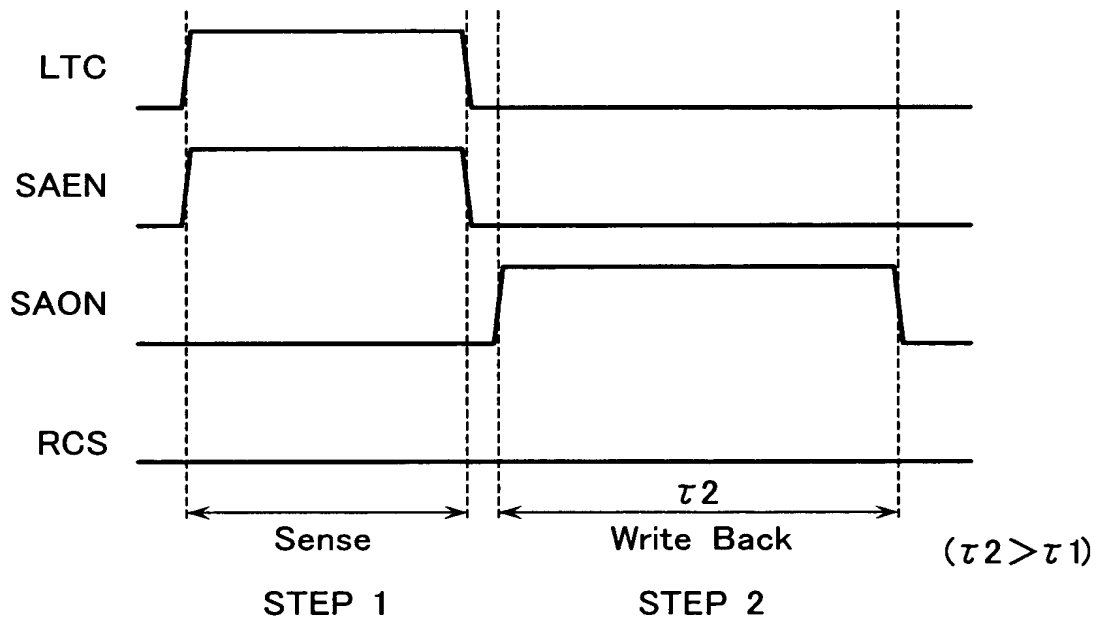
【図 3】



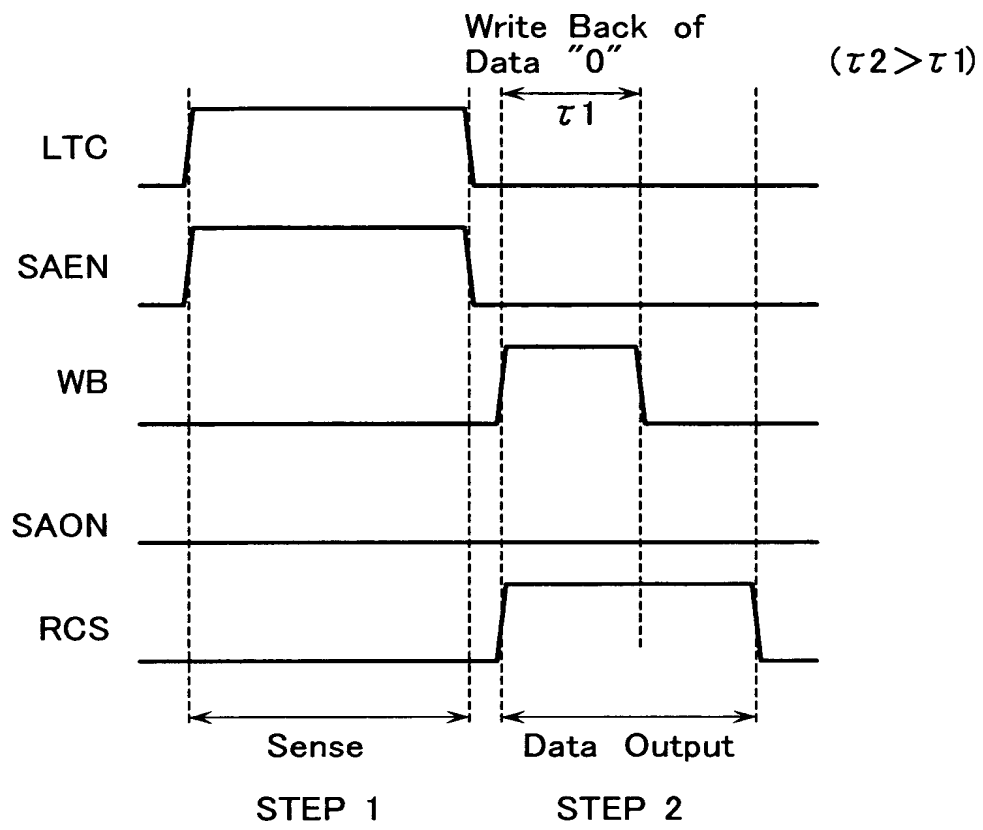
【図 4】



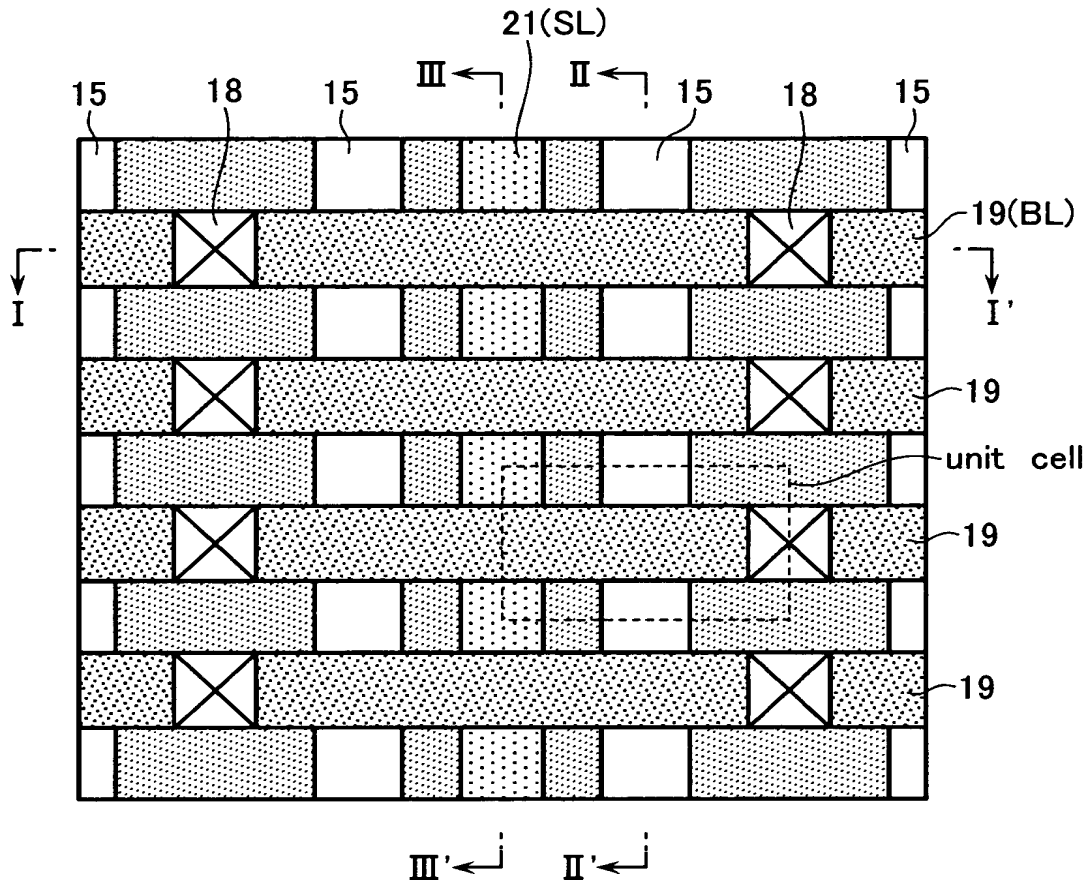
【図 5】



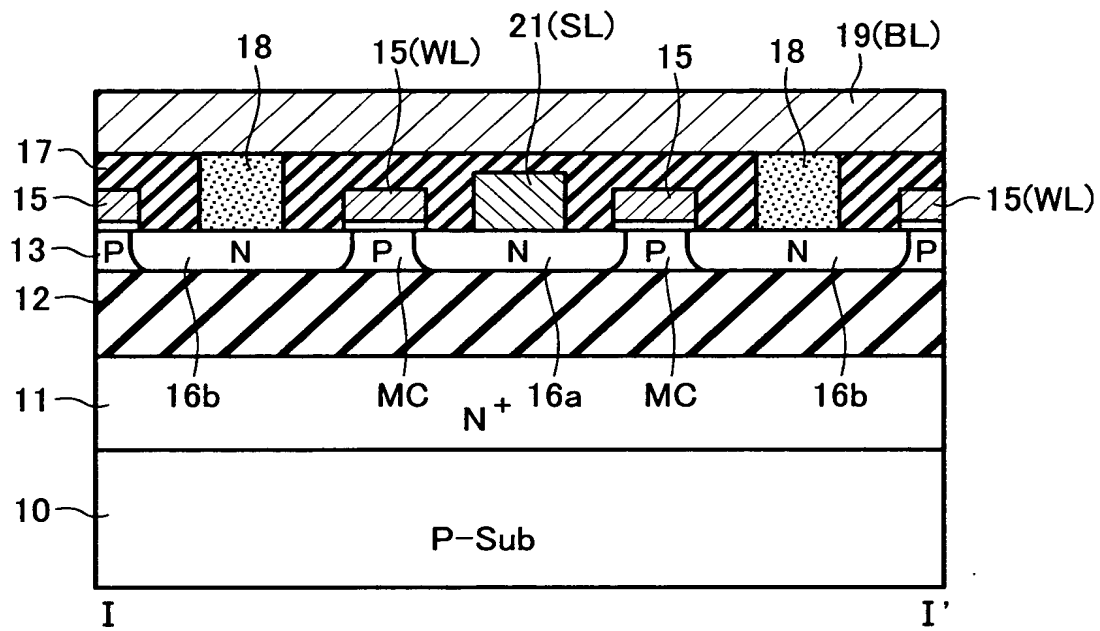
【図 6】



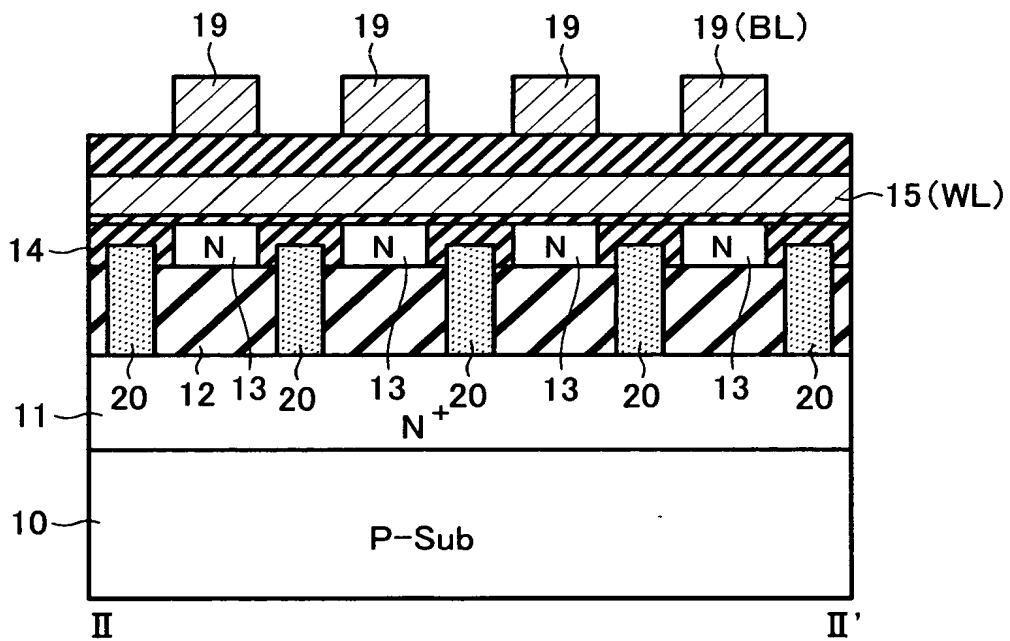
【図 7】



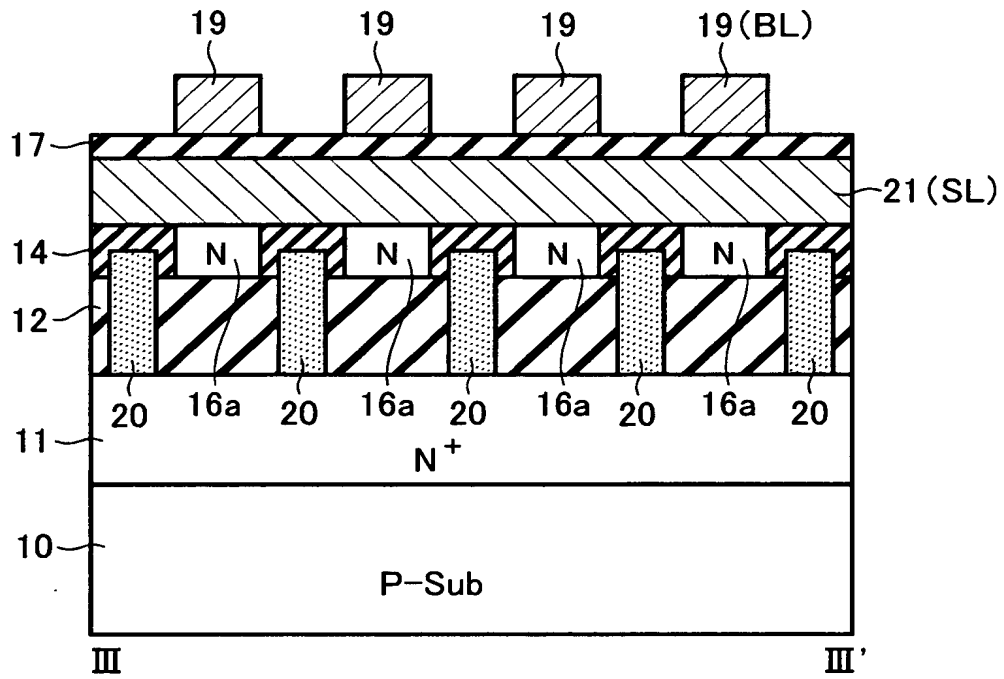
【図 8】



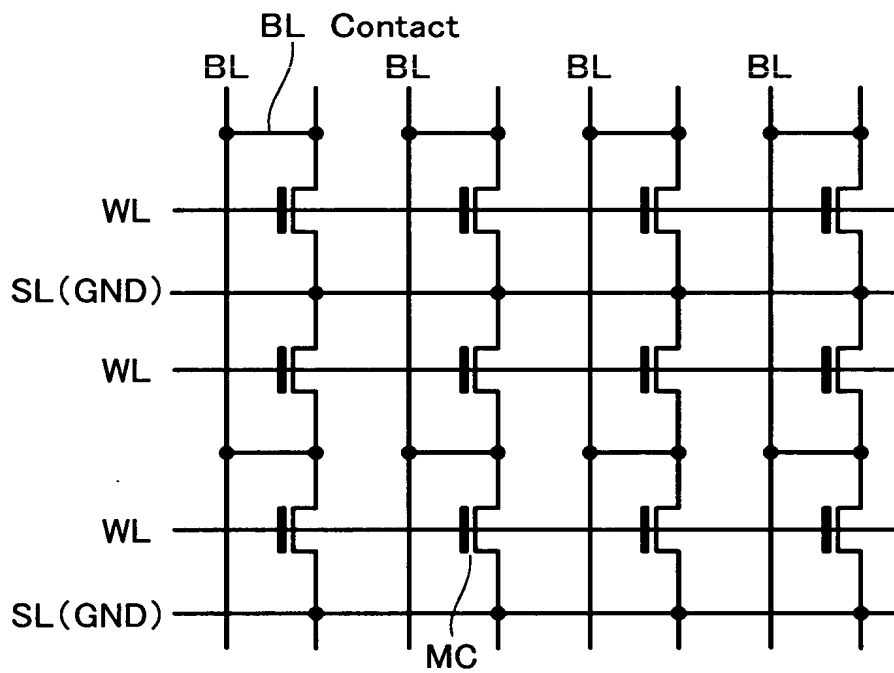
【図 9】



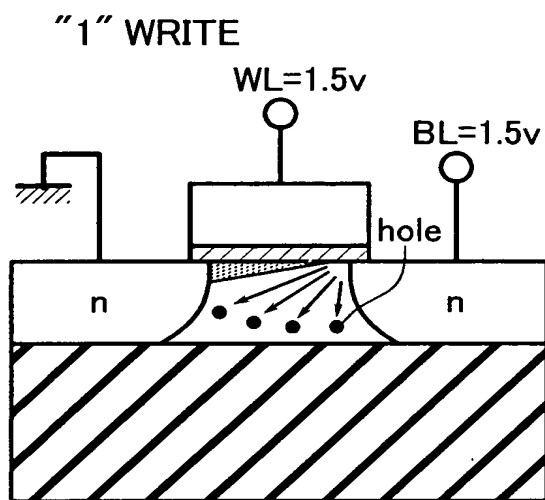
【図 1 0】



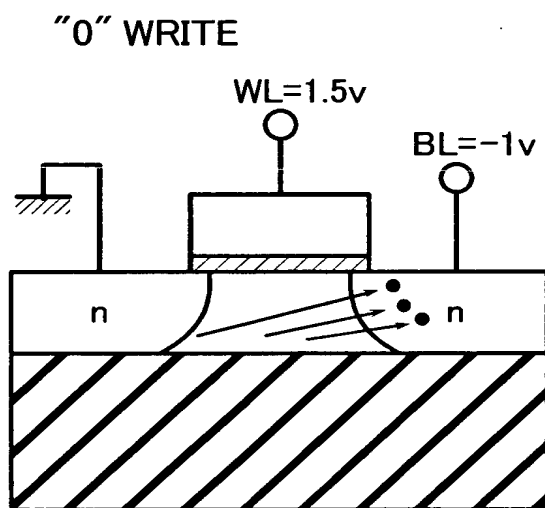
【図 1 1】



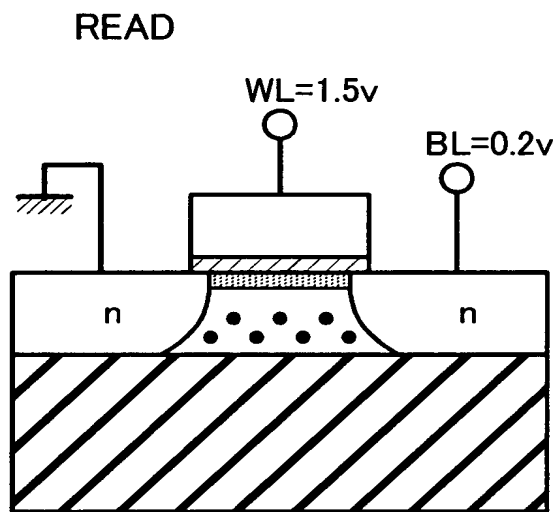
【図 1 2】



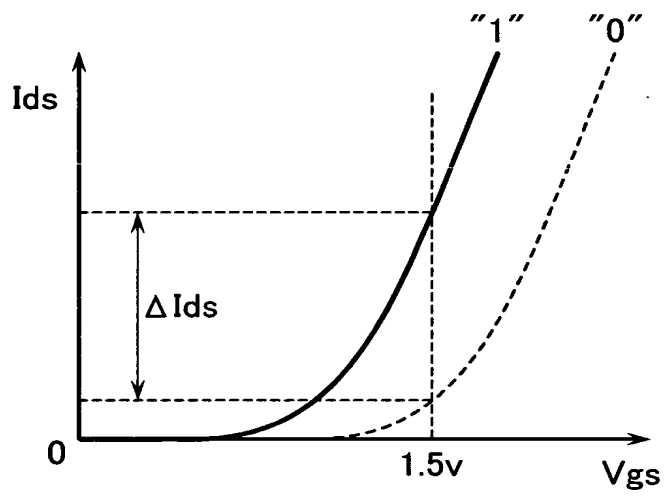
【図 1 3】



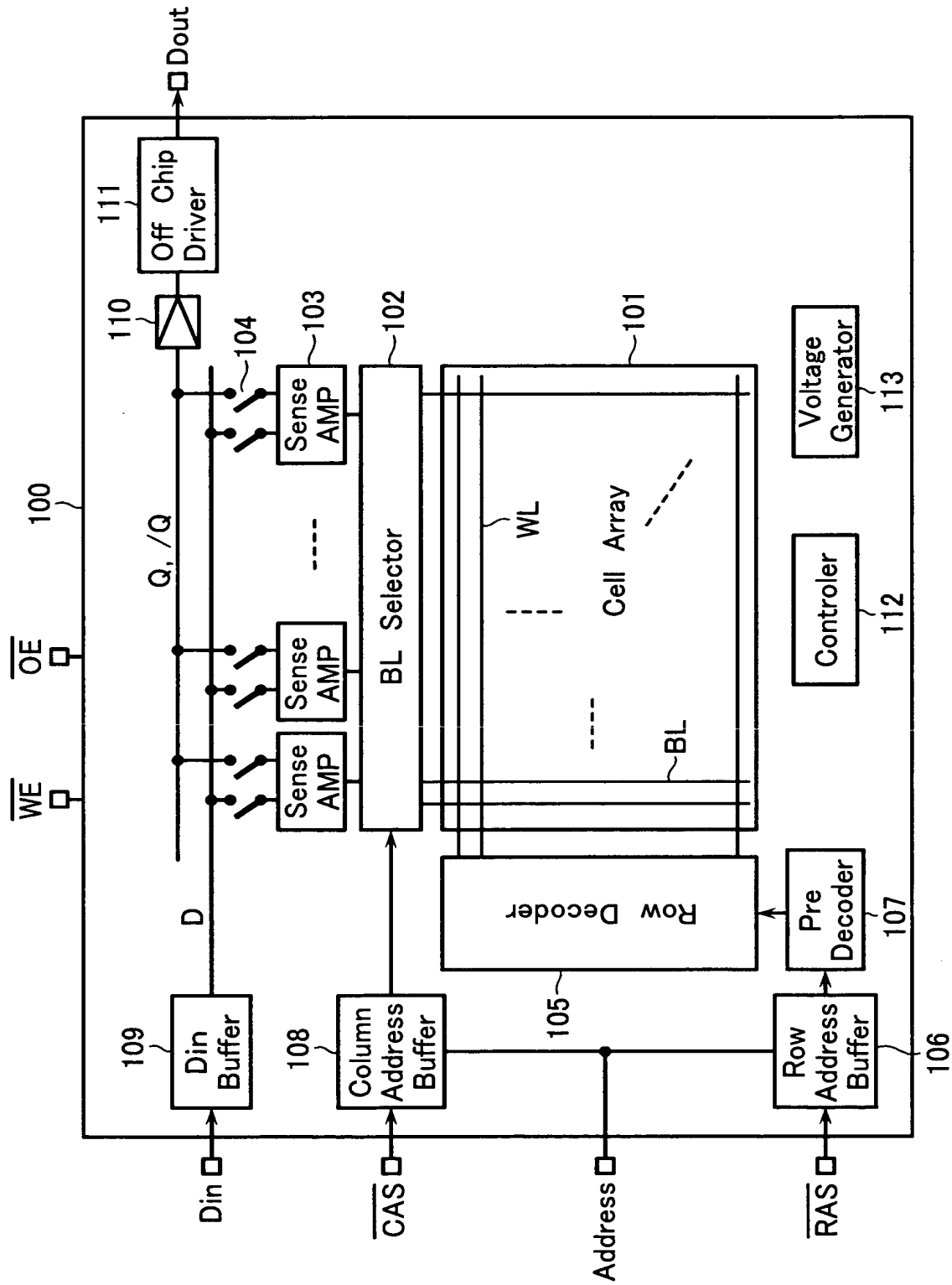
【図 1 4】



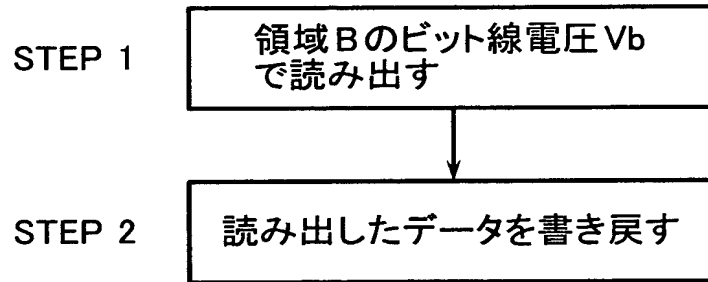
【図 1 5】



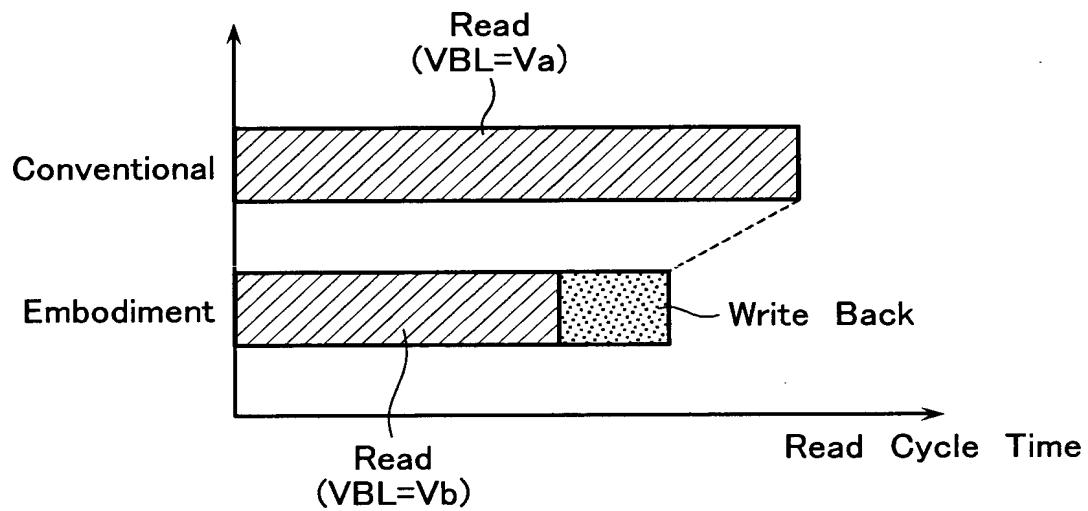
【图 16】



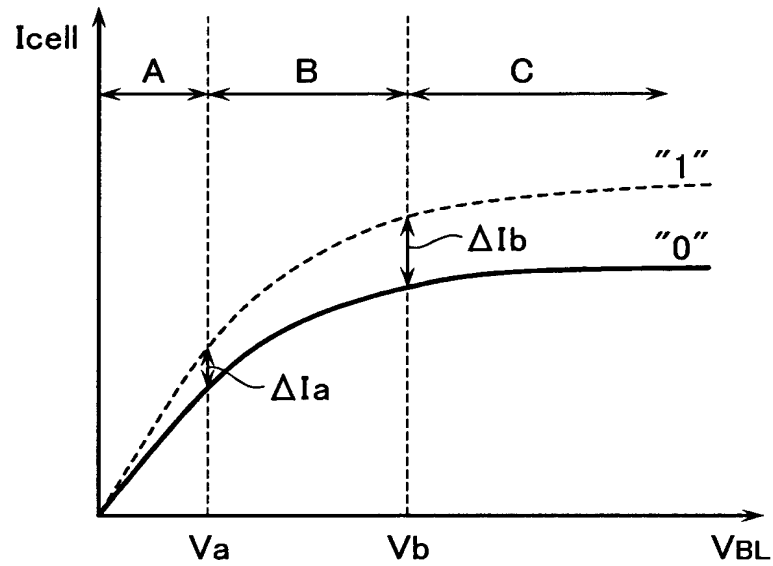
【図 1 7】



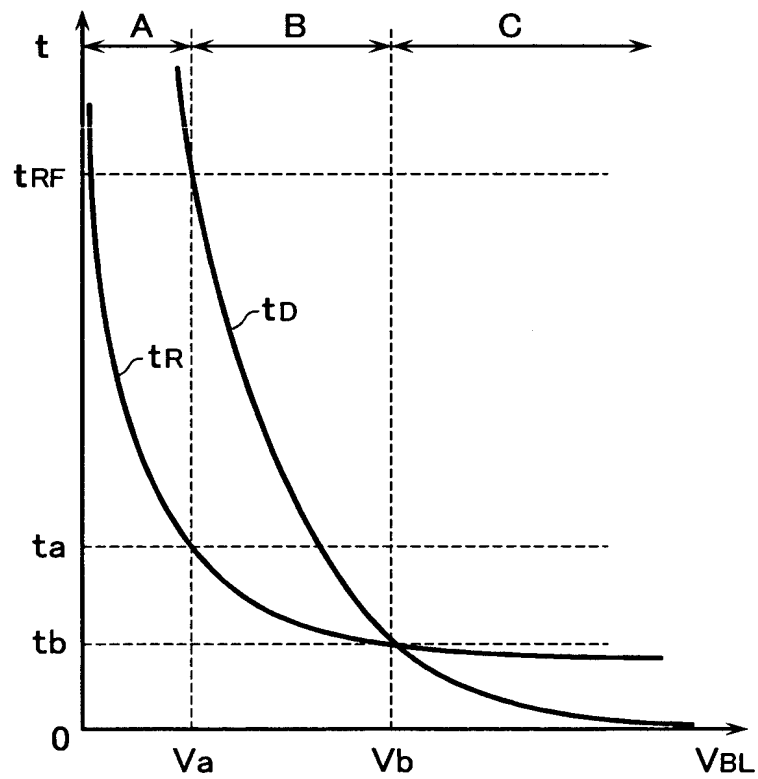
【図 1 8】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 S O I 基板に形成された 1 トランジスタ / 1 セル構造のメモリセルを持つ、高速読み出しが可能な半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、絶縁層により下地基板と分離された半導体層を有する素子基板と、前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルはフローティング状態のボディを持つ M O S トランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、前記メモリセルアレイの選択メモリセルのデータを読み出してデータラッチに格納し、その読み出しデータを出力回路に転送すると同時に前記選択メモリセルに書き戻しを行うセンスアンプ回路と、を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

- | | |
|----------|--------------------|
| 1. 変更年月日 | 2 0 0 1 年 7 月 2 日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |
| 2. 変更年月日 | 2 0 0 3 年 5 月 9 日 |
| [変更理由] | 名称変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |